

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-207436

(43) 公開日 平成10年(1998) 8月7日

(51) Int.Cl.⁹

識別記号

F I

G 0 9 G 3/36

G 0 9 G 3/36

G 0 2 F 1/133

5 7 5

G 0 2 F 1/133

5 7 5

審査請求 未請求 請求項の数 3 O L (全 10 頁)

(21) 出願番号 特願平9-14262

(22) 出願日 平成9年(1997) 1月28日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 小川 嘉規

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

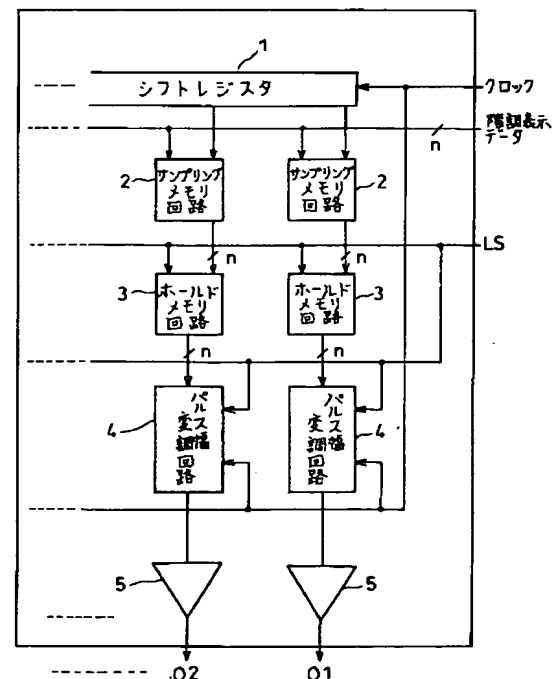
(74) 代理人 弁理士 原 謙三

(54) 【発明の名称】 表示装置の駆動回路

(57) 【要約】

【課題】 表示装置の駆動回路内部で階調数に応じたパルス幅信号を生成することで、簡単な構成で多階調表示が可能な表示装置の駆動回路を提供する。

【解決手段】 シフトレジスタ1、ソースラインO1、O2、…毎に設けられたサンプリングメモリ回路2、ホールドメモリ回路3、パルス幅変調回路4、バッファ回路5を有している。パルス幅変調回路4は、上記シフトレジスタ1に入力されるクロック信号と、ホールドメモリ回路3に入力されるホールド信号LSと、ホールドメモリ回路3からの階調表示データとが入力され、これらの信号に基づいて映像信号の階調表示データに応じたパルス幅信号を生成し、該パルス幅信号を、上記ソースラインO1、O2、…にバッファ回路5を介して時分割出力する。



(2)

特開平10-207436

【特許請求の範囲】

【請求項1】映像表示のための複数のデータ線を有し、これら各データ線が、映像信号の階調数に応じた階調表示信号により駆動されることで多階調の映像表示を行う表示装置の駆動回路において、

上記階調表示信号が入力され、1水平期間内に、該階調表示信号からその階調数に応じたパルス幅の2値のパルス幅信号を生成し、該パルス幅信号を上記データ線に、時分割出力すると共に、複数回出力するパルス幅変調回路が上記各データ線毎に設けられていることを特徴とする表示装置の駆動回路。

【請求項2】上記パルス幅変調回路は、映像信号を取り込むために使用されるクロック信号に基づいて、上記階調表示信号からその階調数に応じたパルス幅の2値のパルス幅信号を生成することを特徴とする請求項1記載の表示装置の駆動回路。

【請求項3】上記パルス幅変調回路は、上記クロック信号に基づいて、階調表示信号の階調数分のそれぞれが異なるパルス幅を有するパルス状の第1の信号群を生成すると共に、該クロック信号のパルス数をカウントしてカウント信号を生成する第1信号生成回路と、

上記第1の信号群と階調表示信号とに基づいて第2の信号を生成すると共に、上記カウント信号と上記第2の信号とに基づいて、階調表示信号に応じたパルス幅の2値のパルス幅信号を生成するパルス幅信号生成回路とを含むことを特徴とする請求項2記載の表示装置の駆動回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶表示装置等の表示装置の駆動回路に関し、特に、アクティブマトリクス型の液晶表示装置に用いられる表示装置の駆動回路に関するものである。

【0002】

【従来の技術】従来より、種々の駆動方式の液晶表示装置等の表示装置の駆動回路が開示されている。例えば、特開平6-27900号公報には、液晶表示装置の駆動回路において、1出力期間中に1レベルの電圧を出力するのではなく、ある2電圧間を交互に、複数回振動する電圧（以下、振動電圧と称する）を出力し、液晶パネル自身が持つローパスフィルタの特性を利用して、絵素自体に上記振動電圧の平均値である定電圧を印加する方式が開示されている。

【0003】上記公報の技術を用いて、多階調表示、例えば64階調表示を実現した場合の表示装置の駆動回路の一例について以下に説明する。尚、本説明では、1出力の回路構成を示すものとする。

【0004】上記表示装置の駆動回路は、図5に示すように、サンプリングメモリ101、ホールドメモリ10

2、選択制御回路103を有している。

【0005】画像データ $D_0 \sim D_5$ は、サンプリングパルス T_{SMPN} の立ち上がりでサンプリングメモリ101に取り込まれ、出力パルスOEの立ち上がりでホールドメモリ102に転送される。

【0006】ホールドメモリ102の各出力は、選択制御回路103の入力端子 $d_0 \sim d_5$ に接続されている。上記選択制御回路103には、クロックパルス状の信号 $t_1 \sim t_4$ が入力されている。

【0007】選択制御回路103からは9個の出力 $S_0, S_8, S_{16}, S_{24}, S_{32}, S_{40}, S_{48}, S_{56}, S_{64}$ が出力され、それぞれがアナログスイッチ $ASW_0, ASW_8, ASW_{16}, ASW_{24}, ASW_{32}, ASW_{40}, ASW_{48}, ASW_{56}, ASW_{64}$ の制御信号となっている。また、各アナログスイッチの入力端子には、互いに異なったレベルの9個の電圧 $V_0, V_8, V_{16}, V_{24}, V_{32}, V_{40}, V_{48}, V_{56}, V_{64}$ が外部から供給されている。

【0008】上記選択制御回路103における入出力関係について図6を参照しながら以下に説明する。尚、図6において、空白の部分は“0”であることを示す。

【0009】上記選択制御回路103は、画像信号データの値（以下、階調値と称する）が「1」（ $D_5=0, D_4=0, D_3=0, D_2=0, D_1=0, D_0=0$ ）の時に、出力 S_0 を選択し、アナログスイッチ ASW_0 をONする。従って、ソースラインには電圧 V_0 が出力される。

【0010】同様に、階調値が「57」（ $D_5=1, D_4=1, D_3=1, D_2=0, D_1=0, D_0=0$ ）の時には、出力 S_{56} を選択し、アナログスイッチ ASW_{56} をONする。従って、ソースラインには電圧 V_{56} が出力される。

【0011】また、選択制御回路103は、階調値が「2」（ $D_5=0, D_4=0, D_3=0, D_2=0, D_1=0, D_0=1$ ）の時に、出力 S_0 には信号 t_1 がそのまま出力され、出力 S_8 には信号 t_1 バー、即ち上記信号 t_1 の反転信号を出力する。例えば、信号 t_1 が“1”の時には、アナログスイッチ ASW_0 をONしてソースラインに電圧 V_0 が出力され、信号 t_1 が“0”の時には、信号 t_1 バーが“1”であるからアナログスイッチ ASW_8 をONしてソースラインに電圧 V_8 が出力される。

【0012】ここで、上記選択制御回路103に入力される信号 $t_1 \sim t_4$ の信号波形について図7を参照しながら以下に説明する。

【0013】図7では、信号 t_1 は、“1”期間が7に対し“0”期間が1、信号 t_2 は、“1”期間が6に対し“0”期間が2、信号 t_3 は、“1”期間が5に対し“0”期間が3、信号 t_4 は、“1”期間が4に対し“0”期間が4であることを示している。

【0014】従って、上述した階調値「2」の場合、ソースラインには、電圧 V_0 と電圧 V_8 とが7:1の割合で印加されることになる。

(3)

特開平10-207436

【0015】同様に、階調値が「61」（D5=1, D4=1, D3=1, D2=1, D1=0, D0=0）の時には、アナログスイッチASW₅₆とASW₆₄とを交互にONし、電圧V₅₆と電圧V₆₄との間を4:4の割合で振動する電圧がソースラインに印加されることになる。

【0016】また、上述した多階調表示を実現した場合の表示装置の駆動回路の他の例について以下に説明する。この場合の表示装置の駆動回路としては、高低2つの電圧レベルと複数のデジタル階調振動信号の入力だけで多階調表示を実現する2値多階調表示駆動回路がある。この2値多階調表示駆動回路においては、従来のデジタルドライバ方式とは異なり、外部に別に設けた基準電源とそれに付随するアナログスイッチを必要としない。

【0017】また、この2値多階調表示駆動回路においても、上述した表示装置の駆動回路と同様に、基本原理としてTFT液晶パネル自身のローパスフィルタ特性を利用している。

【0018】即ち、上記2値多階調表示駆動回路では、図8に示すように、高電圧VSHと低電圧VSLとの間を、周期Tで振動する信号を液晶パネルのソースラインに出力するようになっている。上記信号のデューティ比（VSH出力時間：VSL出力時間）は、m:nである。該出力の周期Tを上記ローパスフィルタ特性によって十分平均化できるような周期に設定することで、TFT液晶パネルの絵素に平均電圧が充電される。

【0019】上記2値多階調表示駆動回路として、例えば図9に示すように、サンプリングフリップフロップ201、ホールドフリップフロップ202、デコーダ203、AND回路204・205、及びOR回路206を有する構成の表示装置の駆動回路がある。

【0020】上記構成の2値多階調表示駆動回路では、デューティ比が1:2（m:n）の信号TM1がAND回路204に入力されると共に、デューティ比が2:1（m:n）の信号TM2がAND回路205に入力され、サンプリングフリップフロップ201に入力される映像データD0、D1がそれぞれ“0”、“0”であれば、デコーダ203の出力Y0が“1”となり、他の出力Y1～Y3はすべて“0”となる。従って、OR回路206の入力はすべて“0”となるので、その出力は図10（a）に示すような波形（VSL）となる。

【0021】また、サンプリングフリップフロップ201に入力される映像データD0、D1が、それぞれ“0”、“1”であれば、デコーダ203の出力Y1が“1”となり、他の出力Y0、Y2及びY3は“0”となる。従って、OR回路206の出力は、図10（b）に示すように、信号TM1のデューティ比が1:2（m:n）と同じデューティ比でVSHとVSLとの間を振動するパルス波形となる。

【0022】また、サンプリングフリップフロップ20

1に入力される映像データD0、D1が、それぞれ“1”、“0”であれば、デコーダ203の出力Y2が“1”となり、他の出力Y0、Y1及びY3は“0”となる。従って、OR回路206の出力は、図10（c）に示すように、信号TM2のデューティ比が2:1（m:n）と同じデューティ比でVSHとVSLとの間を振動するパルス波形となる。

【0023】また、サンプリングフリップフロップ201に入力される映像データD0、D1が、それぞれ“1”、“1”であれば、デコーダ203の出力Y3が“1”となり、他の出力Y0、Y1及びY2は“0”となる。従って、OR回路206の出力は、図10（d）に示すような波形（VSH）となる。

【0024】

【発明が解決しようとする課題】ところが、上記従来の表示装置の駆動回路では、以下のような問題が生じる。例えば図5に示す表示装置の駆動回路を、液晶表示装置における駆動回路とした場合、外部から与えられるレベルの異なる9個の電圧V₀、V₈、V₁₆、V₂₄、V₃₂、V₄₀、V₄₈、V₅₆、V₆₄を供給するための基準電源は、低インピーダンスが要求され、太いメタル配線が必要となる。具体的には、10インチ以上の大画面用液晶パネルでは、例えば240出力の駆動回路に使用されている1本当たりの基準電源のメタル幅が40μm～60μm必要である。

【0025】さらに、上記表示装置の駆動回路におけるアナログスイッチASW₀、ASW₈、ASW₁₆、ASW₂₄、ASW₃₂、ASW₄₀、ASW₄₈、ASW₅₆、ASW₆₄も、上記メタル配線と同様に低インピーダンスが要求される為、100μm以上のゲート幅を有する大きなトランジスタで構成する必要がある。

【0026】したがって、階調数の増加に伴って、基準電源およびアナログスイッチの数が増加するだけではなく、上記基準電源およびアナログスイッチ自身が大きくなり、表示装置の駆動回路が非常に大きなものとなるという問題が生じる。

【0027】また、図9に示すような2値多階調表示駆動方式においては、多階調表示になるにつれてデューティ比の異なる上述した信号TM1、TM2に相当するデジタル階調信号を階調数とほぼ同じだけ入力する必要がある為、入力端子数の増加および表示装置の駆動回路を構成する回路数の増加を招く。したがって、駆動回路をLSI化した場合、チップサイズ並びに消費電力の増大を招くことになる。

【0028】本発明は、上記の各問題点を解決するためになされたもので、その目的は、表示装置の駆動回路内部で階調数に応じたパルス幅信号を生成することで、簡単な構成で多階調表示が可能な液晶表示装置等の表示装置の駆動回路を提供することにある。

【0029】

(4)

特開平10-207436

【課題を解決するための手段】請求項1の表示装置の駆動回路は、上記の課題を解決するために、映像表示のための複数のデータ線を有し、これら各データ線が、映像信号の階調数に応じた階調表示信号により駆動されることで多階調の映像表示を行う表示装置の駆動回路において、上記階調表示信号が入力され、1水平期間内に、該階調表示信号からその階調数に応じたパルス幅の2値のパルス幅信号を生成し、該パルス幅信号を上記データ線に、時分割出力すると共に、複数回出力するパルス幅変調回路が上記各データ線毎に設けられていることを特徴としている。

【0030】上記構成によれば、パルス幅変調回路では、入力された階調表示信号からその階調数に応じたパルス幅の2値のパルス幅信号を生成するようになっているので、階調表示信号に応じたパルス幅信号を、駆動回路内で生成することができる。

【0031】また、上記パルス幅変調回路は、各データ線毎に設けられているので、容易にパルス幅信号を時分割出力することができる。

【0032】これにより、従来のように、階調数に応じて、外部に基準電源を複数設けることや、この基準電源に付随するアナログスイッチを設けること、あるいは、階調数にほぼ応じた数だけの複数のデューティ信号を用いることなく、時分割的にパルス幅信号を階調数に応じて容易に出力することができる。よって、多階調表示を容易に行うことが可能となる。

【0033】したがって、映像信号の階調数が増加しても、表示装置の駆動回路の回路構成を複雑化せずに済むので、階調数の増加に伴う回路の大型化を防止することができる。

【0034】請求項2の表示装置の駆動回路は、上記の課題を解決するために、請求項1の構成に加えて、パルス幅変調回路は、映像信号を取り込むために使用されるクロック信号に基づいて、上記階調表示信号からその階調数に応じたパルス幅の2値のパルス幅信号を生成することを特徴としている。

【0035】上記の構成によれば、請求項1の作用に加えて、パルス幅変調回路において使用されるクロック信号が、表示装置の駆動回路内に映像信号を取り込むためのクロック信号であり、このクロック信号に基づいて、階調表示信号に応じたパルス幅信号を生成するようになっているので、パルス幅信号は、この信号を生成するための特別なクロック信号を必要としない。

【0036】このような構成として、具体的には、以下の請求項3の構成が考えられる。請求項3の表示装置の駆動回路は、上記の課題を解決するために、請求項2の構成に加えて、パルス幅変調回路は、クロック信号に基づいて、階調表示信号の階調数分のそれぞれが異なるパルス幅を有するパルス状の第1の信号群を生成すると共に、該クロック信号のパルス数をカウントしてカウント

信号を生成する第1信号生成回路と、上記第1の信号群と階調表示信号とに基づいて第2の信号を生成すると共に、上記カウント信号と上記第2の信号とに基づいて、階調表示信号に応じたパルス幅の異なる2値のパルス幅信号を生成するパルス幅信号生成回路とを含むことを特徴としている。

【0037】上記の構成によれば、パルス幅信号を生成するために、外部からの階調表示信号に応じたクロック信号等の特別な信号を必要としないので、表示装置の駆動回路の回路構成を簡素化することができる。

【0038】

【発明の実施の形態】本発明の実施の一形態について図1ないし図4に基づいて説明すれば、以下の通りである。尚、本実施の形態では、表示装置の駆動回路として液晶表示装置を用いた液晶駆動回路について説明する。

【0039】本実施の形態に係る液晶駆動回路は、図1に示すように、シフトレジスタ1を有すると共に、液晶表示パネル（図示せず）のソースラインOn（ $n=1, 2, \dots$ ）の数に応じて設けられたサンプリングメモリ回路2、ホールドメモリ回路3、パルス幅変調回路4、バッファ回路5を有している。

【0040】シフトレジスタ1は、複数のサンプリングメモリ回路2が接続されており、外部から入力されるクロック信号に基づいて上記サンプリングメモリ回路2…の何れか1つに映像信号に応じた階調表示データ（階調表示信号）を取り込ませるためのタイミング信号を発生する回路である。

【0041】サンプリングメモリ回路2は、上述したタイミング信号に基づいて、外部から入力されたnビット（ここでは、3ビットとする）の階調表示データ（D2～D0）を順次取り込む、所謂サンプリングする回路である。

【0042】ホールドメモリ回路3は、ホールド信号LSが入力されるようになっており、上記サンプリングメモリ回路2でサンプリングされた階調表示データをホールドするための回路であり、上記ホールド信号LSの立ち上がりで上記階調表示データをサンプリングメモリ回路2から該ホールドメモリ回路3に転送するようになっている。

【0043】パルス幅変調回路4は、上記シフトレジスタ1に入力されるクロック信号と、ホールドメモリ回路3に入力されるホールド信号LSと、ホールドメモリ回路3からの階調表示データとが入力され、これらの信号に基づいて映像信号の階調表示データに応じたパルス幅を有する2値の信号（パルス幅信号）を作成するための回路である。尚、このパルス幅変調回路4の詳細は後述する。

【0044】バッファ回路5は、上記パルス幅変調回路4にて作成されたパルス幅信号を、電圧増幅してソースラインOn（ $n=1, 2, \dots$ ）に出力する回路である。

(5)

特開平10-207436

【0045】ここで、上記パルス幅変調回路4について、図2を参照しながら以下に説明する。尚、本説明では、上述した階調表示データが3ビットであるので、階調数は $2^3 = 8$ となり、8階調表示の場合について行う。しかしながら、以下に説明することは、8階調表示に限定するものではなく、他の階調数の表示の場合であっても同様に適用することができる。

【0046】上記パルス幅変調回路4は、図2に示すように、第1信号生成回路としてのアップカウンタ回路6と、パルス幅信号生成回路としての比較回路7およびR-Sフリップフロップ回路8とを有している。

【0047】上記アップカウンタ回路6は、階調表示データのビット数に応じた3つの遅延式T型フリップフロップ9…と、1つのOR回路10とからなり、上記遅延式T型フリップフロップ9に入力されるクロック信号によって順次計数動作を行う回路である。

【0048】上記遅延式T型フリップフロップ9は、シフトレジスタ1に入力されるクロック信号と同じクロック信号が入力されるCK端子と、ホールドメモリ回路3に入力されるホールド信号と同じホールド信号LSがリセット信号として入力されるR端子と、プリセット信号を入力するS端子（図示せず）と、出力端子 θ ・ θ バーとを有している。尚、出力端子 θ バーは、出力端子 θ から出力される信号の反転信号を出力する端子である。

【0049】上記3つの遅延式T型フリップフロップ9の各出力端子 θ から出力される第1の信号群としての信号 $\theta 1$ 、 $\theta 2$ 、 $\theta 3$ （図3参照）は、OR回路10に出力されると共に、比較回路7に出力されるようになっている。一方、各出力端子 θ バーから出力される信号は、それぞれの遅延式T型フリップフロップ9のD端子に入力されると共に、1段目および2段目の遅延式T型フリップフロップ9・9ではクロック信号として次段の遅延式T型フリップフロップ9のCK端子に入力されるようになっている。

【0050】上記OR回路10は、各遅延式T型フリップフロップ9…からの信号 $\theta 1$ 、 $\theta 2$ 、 $\theta 3$ が入力され、クロック信号が8パルス（3ビットの階調表示データ分）を数えた時に、カウント信号である信号OR1を、後段のR-Sフリップフロップ回路8のセット信号として出力するようになっている。

【0051】つまり、上記構成のアップカウンタ回路6は、階調表示データのビット数分設けられ、シフトレジスタ1に入力されるクロック信号と同じクロック信号と、ホールドメモリ回路3に入力されるホールド信号LSとが入力された3つの遅延式T型フリップフロップ9…から、OR回路10に、図3に示すような波形の信号 $\theta 1$ 、 $\theta 2$ 、 $\theta 3$ を出力することで、入力されたクロック信号のパルス数をカウントするようになっている。

【0052】ここで、上記クロック信号、ホールド信号LS、遅延式T型フリップフロップ9の端子 θ からの信

号について、図3を参照しながら以下に説明する。尚、各信号は、“1”、“0”の2レベルの2値信号として説明する。

【0053】クロック信号は、パルスの1周期が1階調に対応するパルス状の信号が用いられている。したがって、上記アップカウンタ回路6にてクロック信号のパルス数をカウントすることで、階調数をカウントすることになる。

【0054】ホールド信号LSは、水平期間の開始直前で“1”となり、水平期間が開始されると次の水平期間が開始されるまで“0”が保持されたパルス状の信号となっている。つまり、ホールド信号LSが立ち上がることで、サンプリングメモリ回路2に蓄えられた階調表示データが、1水平期間毎にホールドメモリ回路3に取り込まれる。

【0055】初段の遅延式T型フリップフロップ9の端子 θ から出力される信号 $\theta 1$ は、“0”と“1”とがクロック信号のパルスの1周期毎に反転するパルス状の信号となっている。つまり、信号 $\theta 1$ は、1水平期間の最初のパルスの1周期が“0”の信号となり、次の周期が、“1”の信号となっている。

【0056】また、次段の遅延式T型フリップフロップ9の端子 θ から出力される信号 $\theta 2$ は、“0”と“1”とがクロック信号のパルスが2周期毎に反転するパルス状の信号となっている。この場合も、水平期間の最初は“0”である。

【0057】さらに、最終段の遅延式T型フリップフロップ9の端子 θ から出力される信号 $\theta 3$ は、“0”と“1”とがクロック信号のパルスが4周期毎に反転するパルス状の信号となっている。この場合も、水平期間の最初は“0”である。

【0058】また、アップカウンタ回路6からのカウント信号である信号OR1は、水平期間の最初であるクロック信号のパルスの1周期目が“0”であり、クロック信号のパルスの2周期目から8周期目までが“1”で保持されたパルス状の信号である。つまり、信号OR1によって、3ビットの階調表示データ分が全て出力されたか否かが分かるようになっている。

【0059】また、比較回路7は、図2に示すように、階調表示データのビット数と等しい3つのExclusive-ORゲート（以下、EX-OR回路と称する）11…と、1つのOR回路12とを有している。

【0060】上記各EX-OR回路11には、それぞれ上述のアップカウンタ回路6の遅延式T型フリップフロップ9…からの信号 $\theta 1$ 、 $\theta 2$ 、 $\theta 3$ が入力されると共に、図1に示すホールドメモリ回路3からの階調表示データの各ビットの出力信号D0、D1、D2が入力されるようになっている。

【0061】また、上記EX-OR回路11は、入力される2つの信号が同じであれば“0”となりローレベル

(6)

特開平10-207436

の信号をOR回路10に出力し、2つの信号が異なれば“1”となりハイレベルの信号をOR回路10に出力するようになっている。

【0062】そして、OR回路10では、EX-OR回路11からの信号が入力され、後段のR-Sフリップフロップ回路8に入力される第2の信号であるリセット信号を出力するようになっている。

【0063】つまり、上記比較回路7は、ホールドメモリ回路3からの出力信号のデータとアップカウンタ回路6からのデータとを比較することで、階調表示データに応じてR-Sフリップフロップ回路8をリセットするようになっている。

【0064】R-Sフリップフロップ回路8では、上述したように、アップカウンタ回路6からの信号OR1をセット信号として入力され、比較回路7からの信号をリセット信号として入力され、階調表示データに応じたパルス幅のパルス幅信号を出力するようになっている。

【0065】上記R-Sフリップフロップ回路8からのパルス幅信号は、バッファ回路5に入力されて電圧増幅され、液晶表示パネル（図示せず）のソースラインOn（ $n=1, 2, \dots$ ）に出力されるようになっている。

【0066】上記パルス幅信号は、階調表示データの階調数、即ちクロック信号のパルス数（ここでは、8パルス分）を1出力期間として、この1出力期間内に、“1”の期間がどれだけの割合であるかによって、階調数毎に異なるパルス幅の信号となっている。したがって、1水平期間内には、出力期間が複数存在しているので、パルス幅変調回路4から出力されるパルス幅信号は、1水平期間内に複数回出力されることになる。

【0067】しかも、パルス幅変調回路4は、データ線であるソースラインOn（ $n=1, 2, \dots$ ）毎に設けられているので、1つのパルス幅変調回路4からパルス幅信号を容易に時分割的にソースラインOn（ $n=1, 2, \dots$ ）に出力することができる。

【0068】ここで、上述したR-Sフリップフロップ回路8から出力されるパルス幅信号について、図3および図4を参照しながら説明する。

【0069】映像信号に基づいた階調表示データは、階調1の場合、『D2=0, D1=0, D0=0』、階調2の場合、『D2=0, D1=0, D0=1』、階調3の場合、『D2=0, D1=1, D0=0』、階調4の場合、『D2=0, D1=1, D0=1』、階調5の場合、『D2=1, D1=0, D0=0』、階調6の場合、『D2=1, D1=0, D0=1』、階調7の場合、『D2=1, D1=1, D0=0』、階調8の場合、『D2=1, D1=1, D0=1』、上記のような3ビットのデータとなっている。

【0070】従って、上述した3ビットの階調表示データと、アップカウンタ回路6からの信号OR1と、遅延

式T型フリップフロップ9からの信号 $\theta 1, \theta 2, \theta 3$ とに基づいて、各階調のパルス幅信号が、各階調毎に生成される。

【0071】つまり、階調1のパルス幅信号は、1出力期間に対して、“1”の期間がクロック信号のパルスの1周期分のパルス状の出力信号、即ち“1”の期間：1出力期間=1：8の出力信号となる。

【0072】同様に、階調2のパルス幅信号は、“1”の期間：1出力期間=2：8の出力信号となる。

【0073】また、階調3のパルス幅信号は、“1”の期間：1出力期間=3：8の出力信号となる。

【0074】さらに、図4を参照して階調4および階調5のパルス幅信号について説明すると、以下のようになる。尚、図4では、1水平期間を明確にするために、1水平期間毎に順次ON・OFF駆動する液晶表示パネル（図示せず）の走査線側のタイミング信号Gj, Gj1を併記している。

【0075】階調4のパルス幅信号は、“1”の期間：1出力期間=4：8の出力信号となる。

【0076】また、階調5のパルス幅信号は、“1”の期間：1出力期間=5：8の出力信号となる。

【0077】同様にして、階調6～階調8についても説明することができる。これらのパルス幅信号と、表示階調数と、階調表示データとの関係を表1に示す。

【0078】

【表1】

表示階調数	階調表示データ			出力信号 (パルス幅信号) “1” 期間：1 出力期間
	D2	D1	D0	
1	0	0	0	1：8
2	0	0	1	2：8
3	0	1	0	3：8
4	0	1	1	4：8
5	1	0	0	5：8
6	1	0	1	6：8
7	1	1	0	7：8
8	1	1	1	8：8

【0079】以上のように、上記構成の表示装置の駆動回路にて生成されたパルス幅信号は、液晶表示パネルに転送することで、液晶表示パネル自身が有しているローパスフィルタ特性によってDC電圧に平均化されて、所望の階調電圧を得ることができる。

【0080】しかも、上記の表示装置の駆動回路では、入力される階調表示データに応じて、駆動回路内部で、該階調表示データに応じたパルス幅信号を生成することができる。

【0081】つまり、上記構成の表示装置の駆動回路によれば、階調数に関わらず、表示装置のデータ線を駆動

(7)

特開平10-207436

するためのパルス幅信号を、外部の基準電源とそれに付随するアナログスイッチや複数のデューティ信号を用いることなく、時分割的に生成することができるので、多階調表示を容易に行うことができる。

【0082】このように、本発明の表示装置の駆動回路によれば、従来必要であった外部の基準電源とそれに付随するアナログスイッチとが不要であるので、これらに関連する問題点、即ち階調数が増加するに伴って装置が大型化するという問題を解消することができる。

【0083】また、本発明の表示装置の駆動回路によれば、パルス幅信号が、表示装置の駆動回路内部で、複数のデューティ信号を用いることなく、時分割的に生成することができるので、上記デューティ信号を用いることにより生じる問題点、即ち階調数が増加するに伴って入力端子数の増加および表示装置の駆動回路を構成する回路数の増加を招き、駆動回路をLSI化した場合、チップサイズ並びに消費電力の増大を招くという問題点を解消することができる。

【0084】さらに、パルス幅変調回路4内で使用されるクロック信号およびホールド信号LSは、パルス幅信号の生成のための特別な信号ではなく、シフトレジスタ1やホールドメモリ回路3で使用される信号を使用しているので、表示装置の駆動回路の回路構成を簡素にすることができる。

【0085】以上のように、本発明の表示装置の駆動回路は、簡素な回路構成で、多階調表示を容易に実現することができるので、多階調表示を行う表示装置の駆動回路に適し、特に、多階調表示の為に表示パネル自身が複雑な回路になっているアクティブマトリクス型の液晶表示装置の駆動回路に好適に用いることができる。

【0086】

【発明の効果】請求項1の発明の表示装置の駆動回路は、以上のように、映像表示のための複数のデータ線を有し、これら各データ線が、映像信号の階調数に応じた階調表示信号により駆動されることで多階調の映像表示を行う表示装置の駆動回路において、上記階調表示信号が入力され、1水平期間内に、該階調表示信号からその階調数に応じたパルス幅の2値のパルス幅信号を生成し、該パルス幅信号を上記データ線に、時分割出力すると共に、複数回出力するパルス幅変調回路が上記各データ線毎に設けられている構成である。

【0087】それゆえ、従来のように、階調数に応じて、外部に基準電源を複数設けることや、この基準電源に付随するアナログスイッチを設けること、あるいは、階調数にほぼ応じた数だけの複数のデューティ信号を用いることなく、時分割的にパルス幅信号を階調数に応じて出力することができる。よって、多階調表示を容易に行うことができる。

【0088】これにより、映像信号の階調数が増加しても、表示装置の駆動回路の回路構成を複雑化せずに済む

ので、階調数の増加に伴う回路の大型化を防止することができるという効果を奏する。

【0089】請求項2の発明の表示装置の駆動回路は、以上のように、請求項1の構成に加えて、パルス幅変調回路は、映像信号を取り込むために使用されるクロック信号に基づいて、上記階調表示信号からその階調数に応じたパルス幅の2値のパルス幅信号を生成する構成である。

【0090】それゆえ、請求項1の構成による効果に加えて、パルス幅変調回路において使用されるクロック信号が、表示装置の駆動回路内に映像信号を取り込むためのクロック信号であり、このクロック信号に基づいて、階調表示信号に応じたパルス幅信号を生成するようになっているので、パルス幅信号は、この信号を生成するための特別なクロック信号を必要としなくなる。

【0091】それゆえ、外部からの階調表示信号に応じたクロック信号等の特別な信号を必要としないので、表示装置の駆動回路の回路構成を簡素化することができるという効果を奏する。

【0092】請求項3の発明の表示装置の駆動回路は、以上のように、請求項2の構成に加えて、パルス幅変調回路は、クロック信号に基づいて、階調表示信号の階調数分のそれぞれが異なるパルス幅を有するパルス状の第1の信号群を生成すると共に、該クロック信号のパルス数をカウントしてカウント信号を生成する第1信号生成回路と、上記第1の信号群と階調表示信号とに基づいて第2の信号を生成すると共に、上記カウント信号と上記第2の信号とに基づいて、階調表示信号に応じたパルス幅の異なる2値のパルス幅信号を生成するパルス幅信号生成回路とを含む構成である。

【0093】それゆえ、外部からの階調表示信号に応じたクロック信号等の特別な信号を必要としないので、表示装置の駆動回路の回路構成を簡略化することができるという効果を奏する。

【図面の簡単な説明】

【図1】本発明の一実施の形態の液晶駆動回路の概略ブロック図である。

【図2】図1に示す液晶駆動回路に備えられたパルス幅変調回路の概略ブロック図である。

【図3】図2に示すパルス幅変調回路における各信号の波形図である。

【図4】図2に示すパルス幅変調回路における各信号の波形図である。

【図5】従来の表示装置の駆動回路の概略ブロック図である。

【図6】画像の入出力関係を示す説明図である。

【図7】図6に示す信号のパルスクロック状の波形図である。

【図8】従来の2値多階調表示駆動回路によるデューティ信号の波形図である。

(8)

特開平10-207436

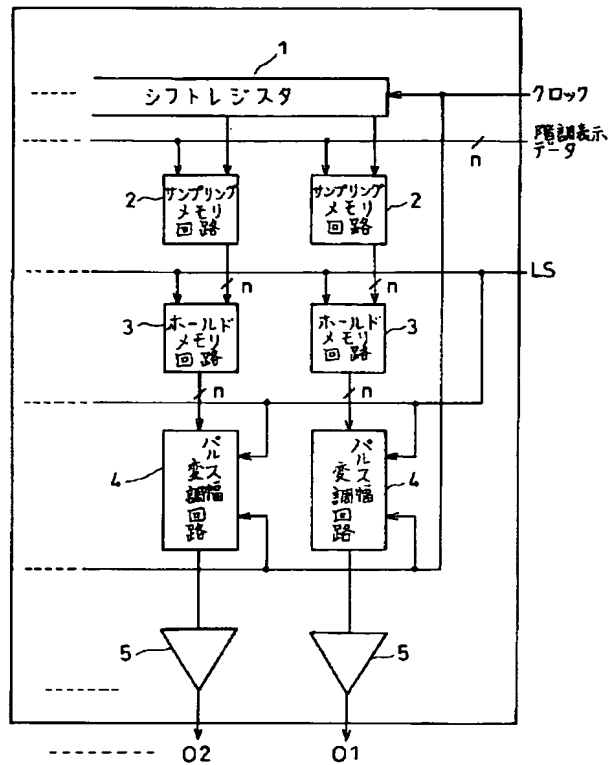
【図9】従来の2値多階調表示駆動回路の概略ブロック図である。

【図10】図9に示す2値多階調表示駆動回路の出力信号の波形図である。

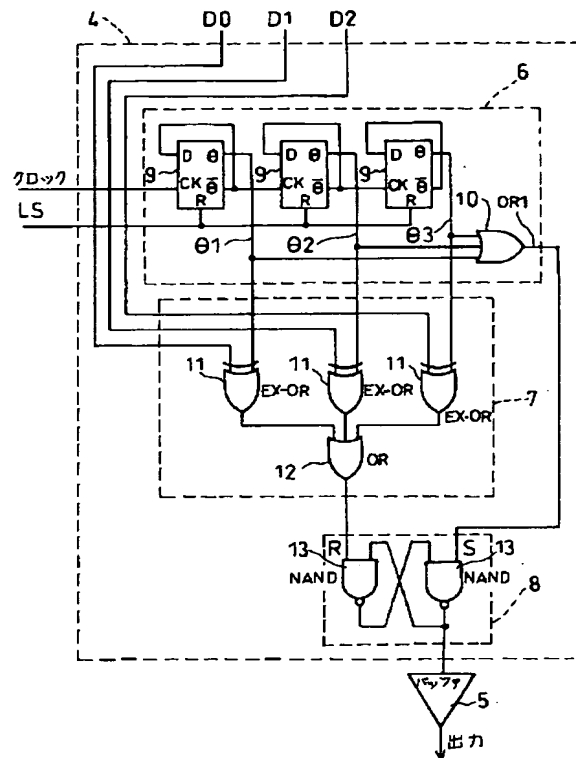
【符号の説明】

- 4 パルス幅変調回路
- 6 アップカウンタ回路（第1信号生成回路）
- 7 比較回路（パルス幅信号生成回路）
- 8 R-Sフリップフロップ回路（パルス幅信号生成回路）

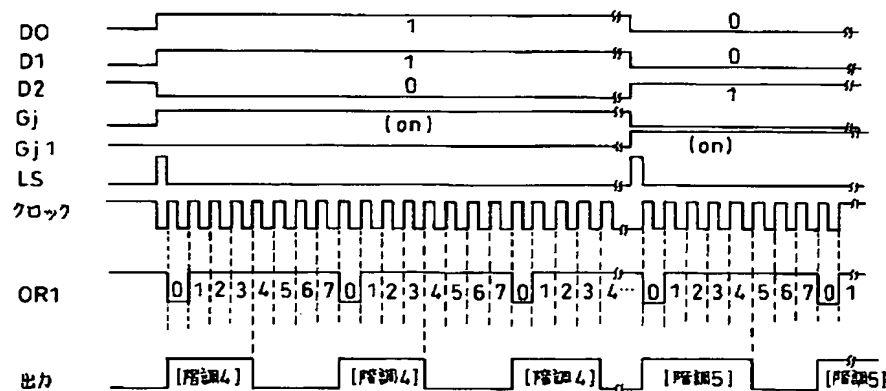
【図1】



【図2】



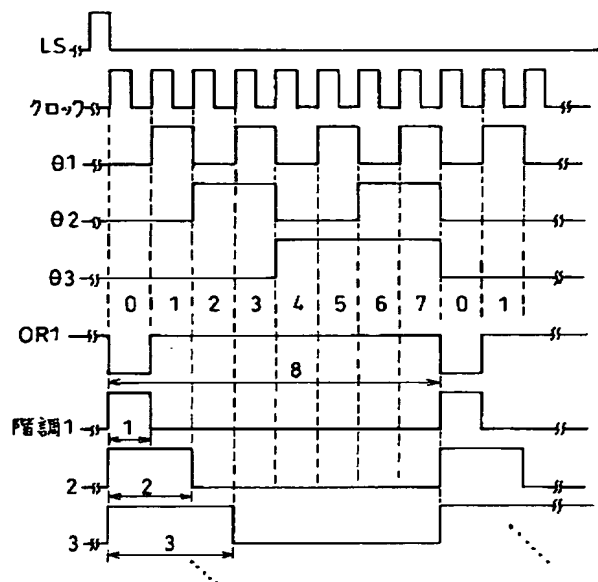
【図4】



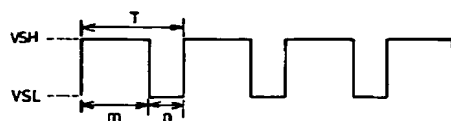
(9)

特開平10-207436

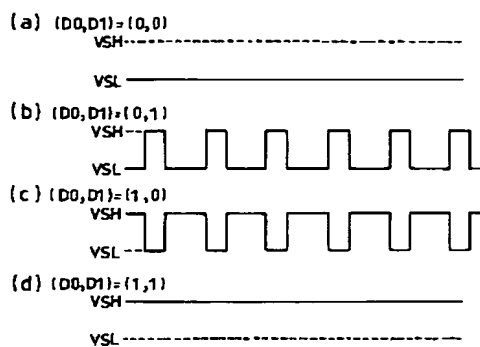
【図3】



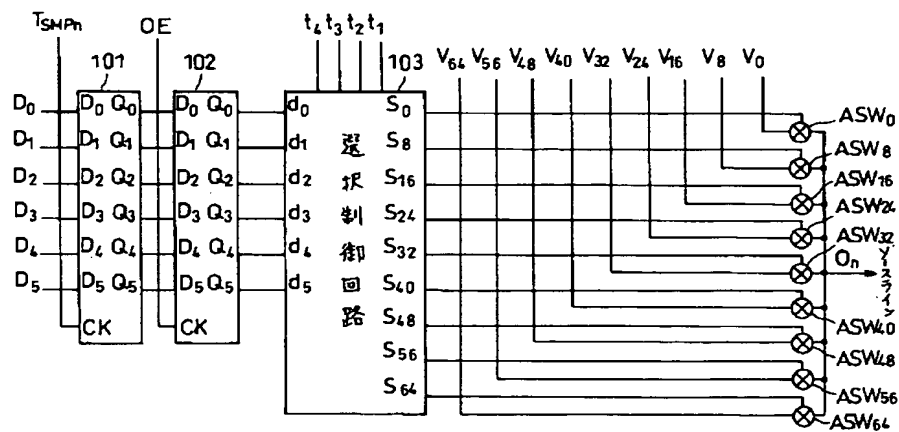
【図8】



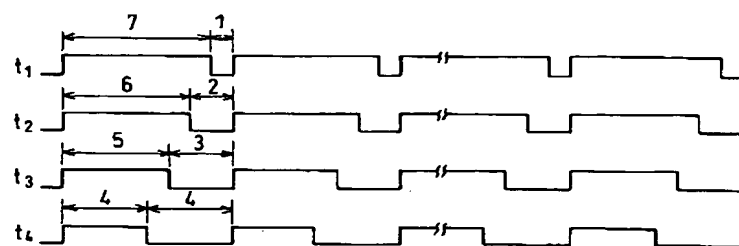
【図10】



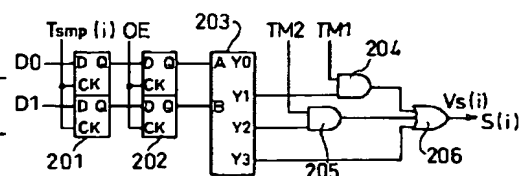
【図5】



【图7】



【图9】



(10)

特開平10-207436

【図6】

行番号	d ₅	d ₄	d ₃	d ₂	d ₁	d ₀	s ₀	s ₈	s ₁₅	s ₂₄	s ₃₂	s ₄₀	s ₄₈	s ₅₆	s ₆₄
1				0	0	0	1	0							
2				0	0	1	t ₁	t ₁							
3				0	1	0	t ₂	t ₂							
4				0	1	1	t ₃	t ₃							
5				1	0	0	t ₄	t ₄							
6				1	0	1	t ₅	t ₅							
7				1	1	0	t ₆	t ₆							
8				1	1	1	t ₇	t ₇							
9	0	0	1	0	0	0	0	1	0	0	0	0	0	0	0
31	0	1	1	1	1	0				t ₃	t ₃				
32	0	1	1	1	1	1				t ₂	t ₂				
33	1	0	0	0	0	0				t ₁	t ₁				
34	1	0	0	0	0	1				t ₄	t ₄				
35	1	0	0	0	1	0				t ₃	t ₃				
36	1	0	0	0	1	1				t ₂	t ₂				
37	1	0	0	1	0	0				t ₁	t ₁				
38	1	0	0	1	0	1				t ₄	t ₄				
39	1	0	0	1	1	0				t ₃	t ₃				
40	1	0	0	1	1	1				t ₂	t ₂				
41	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0
55	1	1	0									t ₃	t ₃	0	0
56	1	1	0	0	0	0						t ₂	t ₂	0	0
57	1	1	1	0	0	0						t ₁	t ₁	0	0
58	1	1	1	0	0	1						t ₄	t ₄	0	0
59	1	1	1	0	1	0						t ₃	t ₃	0	0
60	1	1	1	0	1	1						t ₂	t ₂	0	0
61	1	1	1	1	0	0						t ₁	t ₁	0	0
62	1	1	1	1	0	1						t ₄	t ₄	0	0
63	1	1	1	1	1	0						t ₃	t ₃	0	0
64	1	1	1	1	1	1						t ₂	t ₂	0	0